

Japanese Laid-open Patent Publication No. 9-198021

Paragraphs [0015] to [0029], Figs. 1-5

[0015]

[Embodiments of the Invention]

5 The following will explain the embodiment of
this invention with reference to the drawings. FIG.
1 is a block diagram illustrating the configuration
of a display control apparatus according to one
embodiment of the present invention. This display
10 control apparatus comprises video memory 1 for
storing image data for a plurality of screen pages,
and a memory address generating section 2 for
determining an address for reading image data to be
displayed at each coordinate position on the display
15 screen page from the video memory 1.

[0016]

 The memory address generating section 2 has a
function of determining a memory address from a
display effective range at each screen page with
20 respect to each coordinate on the display screen,
a display priority among the respective screen pages,
and the position of an origin point of each screen
page at the coordinate area of video memory 1.

[0017]

25 FIG. 2 is a view illustrating one example of the
display screen page, and FIG. 3 is a view illustrating
one example of image data of each screen page stored
in the video memory 1. On a display screen page 21,

as illustrated in FIG. 2(a), there is provided an orthogonal coordinate system in which a left upper end position is an origin point (0, 0), a horizontal direction is an x-axis, and a vertical direction is a y-axis. A display scanning, which is based on a dot clock and a line clock, is started using the origin point (0, 0) as display starting coordinates, and a horizontal direction is used as a main scanning direction and a vertical direction is used as a sub-scanning direction. In the display coordinate area, a background image and a plurality of windows (mado1 to mado3) are displayed. The respective windows and the background are prioritized as in mado2>mado3>mado1>background, and the overlap, which is based on this priority, is displayed.

[0018]

Image data of these mado1 to mado3 and background are stored in different areas of the video memory 1, respectively not to be overlapped with each other. Namely, as illustrated in FIG. 3, there is provided an orthogonal coordinate system in which a left upper end position is an origin point (0, 0), a horizontal direction is an x-axis, and a vertical direction is a y-axis. In the video memory coordinate area, for example, a screen page area 31 for displaying a background, a screen page areas 32, 33, and 34 for displaying mado1 to mado3 are provided. Start coordinates (origin coordinates) of the

respective screen page areas 31 to 34, that is, (0, 0), (X₁, Y₁), (X₂, Y₂), (X₃, Y₃) correspond to origin points of the display screen pages of the case in which the screen page areas 31 to 34 are displayed on the display screen pages, respectively.

[0019]

In start X-coordinate registers 3₁, 3₂, ... and start Y-coordinate registers 4₁, 4₂, ..., start coordinates (0, 0), (X₁, Y₁), ... of the respective screen page areas 3₁ to 3₄ are stored.

[0020]

Memory X-coordinate counters 5₁, 5₂, ... and memory Y-coordinate counters 6₁, 6₂, ... generate memory coordinates (X, Y) on the video memory 1 on each screen page from start coordinates (X₁, Y₁), (X₂, Y₂), ... of the respective screen pages stored in start X-coordinate registers 3₁, 3₂, ... and start Y-coordinate registers 4₁, 4₂, ..., in synchronization with the display scanning. In other words, memory X-coordinate counters 5₁, 5₂, ... count up on a dot clock basis in synchronization with the display scanning, and load start X-coordinates X₁, X₂ ... every time when the scanning line changes. On the other hand, memory Y-coordinate counters 6₁, 6₂, ... count up on a line clock basis, and load start Y-coordinates Y₁, Y₂, ... when the count of 1 field is ended.

[0021]

While, screen page effective signal generating

circuits $7_1, 7_2, \dots$ store the display effective ranges of the screen page areas 31 to 34, which display mado1 to mado3 and the background, and output enable signals, which indicate that the respective mado1 to mado3 and the background are being scanned in synchronization with the display scanning. More specifically, screen page effective signal generating circuits $7_1, 7_2, \dots$ store the areas of display mado1 to mado3 and the background based on upper left end memory coordinates (X_{LT}, Y_{LT}) and lower right end memory coordinates (X_{RB}, Y_{RB}). Then, they compare these data with memory coordinates (X, Y) output from the memory X-coordinate counter and the memory Y-coordinate counter in values of large and small. Thereafter, whether the generated memory coordinates (X, Y) are mado1 to mado3 or the interior of the background may be determined.

[0022]

Priority number registers $8_1, 8_2, \dots$ store display priorities among the respective screen pages as priority numbers "1", "2", ..., respectively. Namely, in the case where the priority numbers "1", "2", ..., are set in order of mado2, mado3, mado1, the display screen page 21 as illustrated in FIG. 2(a) is obtained. It is noted that the priority of background is always set to the lowest.

[0023]

A screen page priority processing circuit 9

determines a screen page to be displayed based on the enable signals output from the screen page effective signal generating circuits $7_1, 7_2, \dots$ in synchronization with the display scanning and the priority numbers stored in the priority number registers $8_1, 8_2, \dots$. In other words, the screen page priority processing circuit 9 inputs the priority numbers "1", "2", ... of the respective screen pages where the enable signals which are sent from the screen page effective signal generating circuits $7_1, 7_2, \dots$ are "1" from the priority number registers $8_1, 8_2, \dots$ and performs comparison among these values, and outputs screen page numbers "1", "2", ... of the screen page with the highest priority of the screen pages where the enable signals are "1."

[0024]

A selector 10 selects the memory coordinates (X, Y) of the screen page determined by the screen page priority processing circuit 9 from the memory coordinates (X, Y) of the respective screen pages generated by the memory X-coordinate counters $5_1, 5_2, \dots$ and the memory Y-coordinate counters $6_1, 6_2, \dots$, and supplies the resultant to a video memory address converting circuit 12. It is noted that the memory X-coordinate counters $5_1, 5_2, \dots$, the memory Y-coordinate counters $6_1, 6_2, \dots$, and the selector 10 form an address generating section 11.

[0025]

The video memory address converting circuit 12 converts the memory coordinates (X, Y) supplied from the selector 10 to the address of the video memory 1. Image data read from the video memory 1 addressed by the video memory address converting circuit 12 is supplied to an image controller (not shown) by which image data is converted to RGB signals and supplied to the display device such as a motor and the like.

10 [0026]

An explanation will be next given of the operation of the above-structured display control apparatus. First, when the scanning is started from the display start coordinates (0, 0) of FIG. 2(a), only the enable signal, which is supplied from the screen page effective signal generating circuits 7₁, becomes "1", so that the coordinates (X, Y) of the screen page area, which display the background, is selected. When the display scanning reaches the display area 22 of mado1 as illustrated in FIG. 2 (b), the enable signal, which is supplied from the screen page effective signal generating circuits 7₂, also becomes "1", and the memory coordinates (X, Y) of mado1 are selected since the priority of mado1 is higher than the background. When the display scanning reaches the display area 23 of mado3, the enable signals, which are supplied from the screen page effective signal generating circuits 7₁, 7₂, 7₄,

become "1." For this reason, the respective priority numbers "4", "3", "2" are compared, so that the memory coordinates (X, Y) of mado3 with the highest priority are selected. When the display scanning reaches the display area 24 of mado3, the enable signals, which are supplied from the screen page effective signal generating circuits 7₁, 7₄, become "1." For this reason, the respective priority numbers "4" and "2" are compared, so that the memory coordinates (X, Y) of mado3 with the higher priority are selected. When the display scanning reaches the display area 25 of mado2, the enable signals, which are supplied from the screen page effective signal generating circuits 7₁ to 7₃, become "1." For this reason, the respective priority numbers "4", "3", "1" are compared, so that the memory coordinates (X, Y) of mado2 with the highest priority are selected. When the display scanning reaches the display area 26 of mado3, the enable signals, which are supplied from the screen page effective signal generating circuits 7₁ to 7₄, become "1." For this reason, the respective priority numbers "4", "3", "1", "2" are compared, so that the memory coordinates (X, Y) of mado2 with the highest priority are selected. When the display scanning reaches the display area 27 of mado3, the enable signals, which are supplied from the screen page effective signal generating circuits 7₁, 7₃, 7₄, become "1." For this reason, the respective priority

numbers "4", "1", "2" are compared, so that the memory coordinates (X, Y) of mado2 with the highest priority are selected. When the display scanning reaches the display area 28 of mado2, the enable signals, which
5 are supplied from the screen page effective signal generating circuits 7_1 , 7_3 , become "1." For this reason, the respective priority numbers "4" and "2" are compared, so that the memory coordinates (X, Y) of mado2 with the higher priority are selected.

10 [0027]

According to this embodiment, since priority processing is performed at the stage of generating the address of video memory 1, access to the video memory 1 can be set to an amount corresponding to
15 one screen page regardless of the number of overlapping mado1 to mado3. Moreover, for moving the display areas of mado1 to mado3, a value increased by the amount of travel may be loaded to the start X-coordinate registers 3_1 , 3_2 , ... and the start
20 Y-coordinate registers 4_1 , 4_2 , ... respectively. This makes it possible to move mado1 to mado3 without redrawing mado1 to mado3 to be moved onto the video memory 1. Further, for moving mado1 to mado3 backward, it is possible to move mado1 to mado3 only by changing
25 the priority numbers set to mado1 to mado3, respectively. Accordingly, even in the case where the large window (mado) of the display area is moved or the window is quickly moved, a fixed trackability

can be ensured.

[0028]

FIG. 4 is a block diagram illustrating the configuration of the display control apparatus according to another embodiment. In this embodiment, screen page effective signal generating circuits 41₁, 41₂, ... store the display effective ranges of mado1 to mado3 based on the display coordinate system. According to this embodiment, since it is based on the display coordinate system, the display scanning coordinate values x and y, which are supplied to the screen page effective signal generating circuit, can be used in common to the respective screen pages, resulting in the advantage in which the input line of circuit is more simplified than the previous embodiment.

[0029]

FIG. 4 is a block diagram illustrating the configuration of the display control apparatus according to further another embodiment. In this embodiment, the address generating section 11 is composed of the selector 10, an X-coordinate adder 51 and a Y-coordinate adder 52. The selector 10 selects start coordinates (X_s, Y_s), which are determined from the start coordinates X_s, Y_s of the respective screen pages stored in the start X-coordinate registers 3₁, 3₂, ... and the start Y-coordinate registers 4₁, 4₂, ... by the screen page

priority processing circuit 9. The start coordinates (X_s, Y_s) are added to the display coordinates (x, y) in synchronization with the display scanning by the X-coordinate adder 51 and the Y-coordinate adder 52, and the resultant is outputted as memory coordinates (X, Y) . Additionally, in this embodiment, there is an advantage in which no memory X-coordinate counters $5_1, 5_2, \dots$ and memory Y-coordinate counters $6_1, 6_2, \dots$ are needed.

FIG. 1

MEMORY COORDINATES

7₁ SCREEN PAGE EFFECTIVE SIGNAL GENERATING CIRCUIT8₁ PRIORITY NUMBER REGISTER

5 ENABLE

PRIORITY NUMBER

9 SCREEN PAGE PRIORITY PROCESSING CIRCUIT

SCREEN PAGE NUMBER

3₁ START X-COORDINATE10 4₁ START Y-COORDINATE5₁ X COUNTER

DOT CLOCK

6₁ Y COUNTER

LINE CLOCK

15 MEMORY COORDINATES

10 SELECTOR

MEMORY COORDINATES

12 VIDEO MEMORY ADDRESS CONVERTING CIRCUIT

ADDRESS

20 1 VIDEO MEMORY

DATA

DISPLAY DATA

2; MEMORY ADDRESS GENERATING SECTION

11; ADDRESS GENERATING SECTION

25

FIG. 2

DISPLAY START COORDINATES

DISPLAY COORDINATE AREA

FIG. 3

START COORDINATES OF BACKGROUND
VIDEO MEMORY COORDINATE AREA

- 5 START COORDINATES (X_1, Y_1) OF MADO1
START COORDINATES (X_2, Y_2) OF MADO2
START COORDINATES (X_3, Y_3) OF MADO3
SCREEN PAGE AREA DISPLAYING MADO1
SCREEN PAGE AREA DISPLAYING MADO3

10

FIG. 4

DISPLAY COORDINATES

- 41₁ SCREEN PAGE EFFECTIVE SIGNAL GENERATING CIRCUIT
8₁ PRIORITY NUMBER REGISTER
15 ENABLE
PRIORITY NUMBER
9 SCREEN PAGE PRIORITY PROCESSING CIRCUIT
SCREEN PAGE NUMBER
3₁ START X-COORDINATE
20 4₁ START Y-COORDINATE
5₁ X COUNTER
DOT CLOCK
6₁ Y COUNTER
LINE CLOCK
25 MEMORY COORDINATES
10 SELECTOR
MEMORY COORDINATES
12 VIDEO MEMORY ADDRESS CONVERTING CIRCUIT

ADDRESS

1 VIDEO MEMORY

DATA

DISPLAY DATA

5 11; ADDRESS GENERATING SECTION

FIG. 5

DISPLAY COORDINATES

41₁ SCREEN PAGE EFFECTIVE SIGNAL GENERATING CIRCUIT

10 8₁ PRIORITY NUMBER REGISTER

ENABLE

PRIORITY NUMBER

9 SCREEN PAGE PRIORITY PROCESSING CIRCUIT

SCREEN PAGE NUMBER

15 3₁ START X-COORDINATE

4₁ START Y-COORDINATE

10 SELECTOR

DISPLAY COORDINATES

MEMORY COORDINATES

20 12 VIDEO MEMORY ADDRESS CONVERTING CIRCUIT

ADDRESS

1 VIDEO MEMORY

DATA

DISPLAY DATA

25 11; ADDRESS GENERATING SECTION

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198021

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 5/14		9377-5H	G 0 9 G 5/14	C
G 0 6 F 3/14	3 5 0		G 0 6 F 3/14	3 5 0 A
G 0 9 G 5/36	5 2 0	9377-5H	G 0 9 G 5/36	5 2 0 P
	5 3 0	9377-5H		5 3 0 G
H 0 4 N 1/21			H 0 4 N 1/21	

審査請求 未請求 請求項の数 5 F D (全 9 頁) 最終頁に続く

(21) 出願番号 特願平8-20460

(22) 出願日 平成8年(1996)1月11日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 伊藤 周平

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

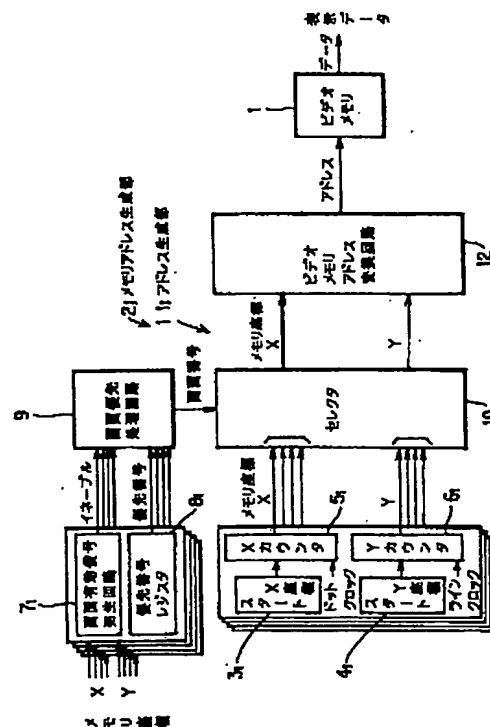
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 表示制御装置

(57) 【要約】

【課題】 画像メモリからのデータ転送量を増大させることなく、複数画面の表示とスムーズな移動とを可能にする。

【解決手段】 表示画面に表示すべき複数の窓領域内の画像データを各窓領域の表示位置に拘わりなくビデオメモリ1に記憶すると共に、表示画面における各窓領域が存在する有効範囲と各窓領域の表示優先順位とをそれぞれ画面有効信号発生回路7₁、…及び優先番号レジスタ8₁、…に記憶しておき、表示画面の各走査位置について各窓領域の有効範囲及び表示優先順位に基づき現在内部を走査中の窓領域のうち最も優先順位が高い窓領域を選択し、この選択された窓領域の画像データを表示位置と記憶位置との関係に基づき画像メモリ1から読み出して表示する。



【特許請求の範囲】

【請求項1】 表示画面に表示すべき複数の窓領域内の画像データを各窓領域の表示位置に拘わりなく画像メモリに記憶すると共に、表示画面における各窓領域が存在する有効範囲及び各窓領域の表示優先順位を記憶しておき、前記表示画面の各走査位置について前記各窓領域の有効範囲及び表示優先順位に基づき現在内部を走査中の窓領域のうち最も優先順位が高い窓領域を選択し、この選択された窓領域の画像データを表示位置と記憶位置との関係に基づき前記画像メモリから読み出して表示するようにしたことを特徴とする表示制御装置。

【請求項2】 複数画面分の画像データを記憶する画像メモリと、この画像メモリの座標系での前記各画面の原点位置を記憶する原点座標記憶手段と、前記各画面における表示有効範囲を記憶すると共に表示走査に同期して前記表示有効範囲を走査中であることを示す有効信号を出力する画面有効信号発生手段と、前記各画面間の表示優先順位を記憶する優先順位記憶手段と、表示走査に同期して前記画面有効信号発生手段からの有効信号と前記優先順位記憶手段に記憶された優先順位とに基づいて表示すべき画面を決定する画面優先処理手段と、この手段で決定された画面の表示座標に対応する前記画像メモリ上でのアドレスを前記原点座標記憶手段に記憶された当該画面の原点位置に基づいて生成するアドレス生成手段とを備えたものであることを特徴とする表示制御装置。

【請求項3】 前記アドレス生成手段は、前記原点座標記憶手段に記憶された各画面の原点位置から前記表示走査に同期して各画面の前記画像メモリ上での座標値を生成するメモリ座標カウンタと、このメモリ座標カウンタで生成された各画面の座標値のうち前記画面優先処理手段で決定された画面の座標値を選択する選択手段とを備えたものであることを特徴とする請求項2記載の表示制御装置。

【請求項4】 前記画面有効信号発生手段は、表示画面上での走査位置と前記表示画面の座標系での前記各画面の表示有効範囲とに基づき前記有効信号を出力するものであることを特徴とする請求項2又は3記載の表示制御装置。

【請求項5】 前記アドレス生成手段は、前記原点座標記憶手段に記憶された各画面の原点位置のうち前記画面優先処理手段で決定された画面の原点位置を選択する選択手段と、この選択手段で選択された画面の原点位置に前記表示画面の座標系での走査位置の座標値を加算する加算手段とを備えたものであることを特徴とする請求項2記載の表

示制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示画面に複数画面を重ねて表示させる表示制御装置に関し、特に表示データの転送量を増大させることなく多数画面を表示画面として表示させるのに最適な表示制御装置に関する。

【0002】

【従来の技術】ゲーム機等のコンシューマ向けの表示制御装置では、表示する絵をいくつかの部品に分けて、その部品を各画面に割り付け、画面毎のスクロール量や部品が重なる場合の優先順位を操作することにより、表示する絵の奥行きを表現している。例えば「空に浮かぶ雲」、「遠くの山」、「画面内を横方向に延びる道路とこの道路沿いの建物」及び「道路を走る車」のような各部品は、別々の表示画面に割り付けられ、遠くに存在する画面は、近くに存在する画面よりもその優先順位を低くすると共に、スクロール時の移動量を少なくすることにより、奥行きを表現する。このような装置では、各画面に割り付けた極狭い表示領域を持つ部品単位で細かく優先順位を設定することが望ましい。このため、画像メモリから各画面のすべての画像データを転送した上でそれらの画像データに付随する優先番号（優先コード）に従って表示画面を再構成する方式が採られている。この方式では、フレームバッファから画像データを転送した後に優先処理を実行するため、例えば透明表示（下位の優先順位を持つ画面の画像データを表示させる）の色コードを設定することにより、ドット毎に優先順位を制御することができるという利点がある。

【0003】一方、パーソナルコンピュータOS（Operating System）の主流であるWINDOWS（商標：マイクロソフト社）対応のビデオアクセラレータでは、アプリケーション毎に設定された窓の表示領域が重なる場合、下に重なる窓を選択して最上位に移動するには、ビデオメモリ上で重なる表示領域の画像データの書き換えを行うことにより、ビデオメモリに記憶された単一画面のみで窓の重ね合わせを実現している。しかし、この方式では、窓の移動が生じる度にビデオメモリを再描画するため、リアルタイムでスムーズな移動ができないという問題がある。そこで、移動中は描画するデータ量を減らすため、窓枠のみを描画し、移動先が確定した後に窓内の画像データを描画する方式が採られている。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来の表示制御装置では、前者の場合には、常にすべての画面の画像データを転送しなければならない。このため、データバス幅を広くしたり、高速のメモリを用いて画像データを転送したりして、データ転送量を多くする必要がある。データバスの増大は、複数個のフレームバッファを並列に接続する必要を生じさせ、表示制御装

置との間のインタフェースのピン数の増大を招き、装置がコストアップしてしまうという問題がある。また、後者の場合には、表示領域の大きい窓を移動させたり、窓を素早く移動させる際、描画が追い付かないことが頻繁に発生してしまうという問題がある。

【0005】この発明は、このような問題点に鑑みなされたもので、画像メモリからのデータ転送量を増大させることなく、複数画面の表示とスムーズな移動とを可能にする表示制御装置を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明に係る表示制御装置は、表示画面に表示すべき複数の窓領域内の画像データを各窓領域の表示位置に拘わりなく画像メモリに記憶すると共に、表示画面における各窓領域が存在する有効範囲及び各窓領域の表示優先順位を記憶しておき、前記表示画面の各走査位置について前記各窓領域の有効範囲及び表示優先順位に基づき現在内部を走査中の窓領域のうち最も優先順位が高い窓領域を選択し、この選択された窓領域の画像データを表示位置と記憶位置との関係に基づき前記画像メモリから読み出して表示するようにしたことを特徴とする。

【0007】この発明は、より具体的には、複数画面分の画像データを記憶する画像メモリと、この画像メモリの座標系での前記各画面の原点位置を記憶する原点座標記憶手段と、前記各画面における表示有効範囲を記憶すると共に表示走査に同期して前記表示有効範囲を走査中であることを示す有効信号を出力する画面有効信号発生手段と、前記各画面間の表示優先順位を記憶する優先順位記憶手段と、表示走査に同期して前記画面有効信号発生手段からの有効信号と前記優先順位記憶手段に記憶された優先順位とに基づいて表示すべき画面を決定する画面優先処理手段と、この手段で決定された画面の表示座標に対応する前記画像メモリ上でのアドレスを前記原点座標記憶手段に記憶された当該画面の原点位置に基づいて生成するアドレス生成手段とを備えたものであることを特徴とする。

【0008】なお、前記アドレス生成手段は、例えば前記原点座標記憶手段に記憶された各画面の原点位置から前記表示走査に同期して各画面の前記画像メモリ上での座標値を生成するメモリ座標カウンタと、このメモリ座標カウンタで生成された各画面の座標値のうち前記画面優先処理手段で決定された画面の座標値を選択する選択手段とを備えたものである。

【0009】また、前記画面有効信号発生手段は、例えば表示画面上での走査位置と前記表示画面の座標系での前記各画面の表示有効範囲とに基づき前記有効信号を出力するものである。

【0010】更に、前記アドレス生成手段は、前記原点座標記憶手段に記憶された各画面の原点位置のうち前記画面優先処理手段で決定された画面の原点位置を選択す

る選択手段と、この選択手段で選択された画面の原点位置に前記表示画面の座標系での走査位置の座標値を加算する加算手段とを備えたものでも良い。

【0011】この発明によれば、表示画面に重ね合わされて表示される各窓領域の存在する有効範囲と表示優先順位とが例えばレジスタ等に記憶される。そして、表示画面の走査に同期して、各表示位置で表示すべき窓領域がその有効範囲と表示優先順序とにより選択され、画像メモリに予め記憶されている各窓領域の画像データのうち、どの画像データを読み出すかが決定される。このため、表示画面が変化しても画像メモリに記憶された画像データは書き換える必要が無く、読み出しアドレスを適切に決定することにより、所望とする表示画面が構成される。この発明では、複数画面分の画像データのうち、各表示位置において表示すべき画像データのみが選択されて画像メモリから読み出されるので、1画面分の走査の間に読み出される画像データは、1画面分だけである。このため、表示画面数が増えても転送データ量は全く増大しない。また、レジスタに記憶された窓領域の有効範囲を変更するだけで窓領域の移動が実現され、レジスタに記憶された窓領域の表示優先順位を変更するだけで窓領域の前後の移動が実現される。

【0012】表示位置と記憶位置との関係は、例えば各画面の画像メモリの座標系での原点座標を原点座標記憶手段に記憶しておく等の方法で容易に求められる。一方、各窓領域を各画面における表示有効範囲と定義すると、表示走査に同期させて表示有効範囲を現在走査中であることを示す有効信号を発生させ、この有効信号がアクティブである画面のうち優先順位が最も高い画面を選択する。そして、この選択された画面とその原点座標とに基づき画像メモリ上での読み出すべき画像データのアドレスを生成する。これにより、所望の画面を構成するために必要な画像データが表示走査に同期して順次画像メモリから読み出されることになる。

【0013】なお、画像メモリの読み出しアドレスは、例えば各画面の原点座標をプリセット値とするメモリ座標カウンタを使用して、これらメモリ座標カウンタを表示走査に同期してカウントアップさせるようにすればよい。また、表示画面上の走査座標は、表示原点に対する相対座標値であるといえるので、各画面の原点座標に表示画面上の走査位置の座標を加算してメモリ座標を求めるようにしてもよい。この場合には、メモリ座標カウンタが不要になるという利点がある。

【0014】また、表示有効範囲は、表示画面の座標系で定義しても、画像メモリの座標系で定義しても良い。前者の場合には、表示画面上での走査座標値に基づいて有効信号を発生し、後者の場合には、各画面の画像メモリ上での走査座標値に基づいて有効信号を発生することになる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。図1は、この発明の一実施例に係る表示制御装置の構成を示すブロック図である。この表示制御装置は、複数画面分の画像データを格納するビデオメモリ1と、表示画面上の各座標位置に表示すべき画像データをビデオメモリ1から読み出すためのアドレスを決定するメモリアドレス生成部2とを備える。

【0016】メモリアドレス生成部2は、表示画面上の各座標に対して各画面における表示有効範囲と、各画面間の表示優先順位と、ビデオメモリ1の座標領域における各画面の原点位置とからメモリアドレスを決定する機能を有する。

【0017】図2は表示画面の一例を示す図、図3はビデオメモリ1に格納される各画面の画像データの一例を示す図である。表示画面21には、図2(a)に示すように、左上端の位置を原点(0, 0)とし、水平方向をx軸、鉛直方向をy軸とする直交座標系が設けられている。ドットクロック及びラインクロックに基づく表示走査は、原点(0, 0)を表示開始座標として開始され、水平方向を主走査方向、垂直方向を副走査方向として行われる。この表示座標領域には、背景画像と複数の窓(mado1~mado3)が表示されている。各窓及び背景には、mado2>mado3>mado1>背景のように優先順位が設定され、この優先順位に基づく重なりが表示されている。

【0018】これらのmado1~mado3及び背景の画像データは、それぞれビデオメモリ1の異なる領域に互いに重ならないように記憶されている。即ち、ビデオメモリ1には、図3に示すように、左上端の位置を原点(0, 0)とし、水平方向をX軸、鉛直方向をY軸とする直交座標系が設けられている。このビデオメモリ座標領域には、例えば背景を表示する画面領域31と、mado1~mado3を表示する画面領域32, 33, 34とが設定される。各画面領域31~34のスタート座標(原点座標)(0, 0), (X₁, Y₁), (X₂, Y₂), (X₃, Y₃)は、各画面領域31~34が表示画面に表示された場合の表示画面の原点位置に対応する。

【0019】図1におけるスタートX座標レジスタ31, 32, …及びスタートY座標レジスタ41, 42, …には、これら各画面領域31~34のスタート座標(0, 0), (X₁, Y₁), …が格納される。

【0020】メモリX座標カウンタ51, 52, …及びメモリY座標カウンタ61, 62, …は、スタートX座標レジスタ31, 32, …及びスタートY座標レジスタ41, 42, …に保持された各画面のスタート座標(X₁, Y₁), (X₂, Y₂), …から表示走査に同期して各画面のビデオメモリ1上でのメモリ座標(X, Y)を生成する。即ち、メモリX座標カウンタ51, 52, …は、表

示走査に同期して、ドットクロック単位でカウントアップし、走査ラインが変わる度にスタートX座標X₁, X₂, …をロードする。一方、メモリY座標カウンタ61, 62, …は、ラインクロック単位でカウントアップし、1フィールドのカウントが終了するとスタートY座標Y₁, Y₂, …をロードする。

【0021】一方、画面有効信号発生回路71, 72, …は、mado1~mado3及び背景を表示する画面領域31~34の表示有効範囲を記憶すると共に、表示走査に同期して各mado1~mado3及び背景の内部を走査中であることを示すイネーブル信号を出力する。より具体的には、画面有効信号発生回路71, 72, …は、mado1~mado3及び背景の領域をこれらの左上端のメモリ座標(X_{LT}, Y_{LT})及び右下端のメモリ座標(X_{RB}, Y_{RB})によって記憶し、これらのデータと、メモリX座標カウンタ及びメモリY座標カウンタから出力されるメモリ座標(X, Y)との大小比較によって、生成されたメモリ座標(X, Y)がmado1~mado3又は背景の内部であるかどうかを決定すれば良い。

【0022】優先番号レジスタ81, 82, …は、各画面間の表示優先順位をそれぞれ優先番号“1”, “2”, …として格納する。即ち、優先番号“1”, “2”, …をmado2, mado3, mado1の順に設定する場合には、図2(a)に示すような表示画面21を得る。なお、背景の優先順位は常に最も低く設定される。

【0023】画面優先処理回路9は、表示走査に同期して画面有効信号発生回路71, 72, …からのイネーブル信号と優先番号レジスタ81, 82, …に記憶された優先番号とに基づいて表示すべき画面を決定する。即ち、画面優先処理回路9は、画面有効信号発生回路71, 72, …から供給されるイネーブル信号が“1”である各画面の優先番号“1”, “2”, …を優先番号レジスタ81, 82, …から入力し、それぞれの値を比較して、イネーブル信号が“1”である画面の中で最も優先順位の高い画面の画面番号“1”, “2”, …を出力する。

【0024】セクタ10は、メモリX座標カウンタ51, 52, …及びメモリY座標カウンタ61, 62, …で生成された各画面のメモリ座標(X, Y)のうち、画面優先処理回路9で決定された画面のメモリ座標(X, Y)を選択し、ビデオメモリアドレス変換回路12に供給する。なお、メモリX座標カウンタ51, 52, …及びメモリY座標カウンタ61, 62, …とセクタ10とは、アドレス生成部11を構成している。

【0025】ビデオメモリアドレス変換回路12は、セクタ10から供給されたメモリ座標(X, Y)をビデオメモリ1のアドレスに変換する。ビデオメモリアドレス変換回路12によりアドレス設定されたビデオメモリ1から読み出された画像データは、図示しない画像コン

トローラに供給され、ここでRGB信号に変換されると共に、モニタ等の表示装置に供給される。

【0026】次に、このように構成された表示制御装置の動作について説明する。先ず、図2(a)の表示開始座標(0, 0)から走査が開始されると、背景画面の画面有効信号発生回路7₁から供給されるイネーブル信号のみが“1”になるので、背景を表示する画面領域の座標(X, Y)が選択される。表示走査が、図2(b)に示すように、mado1の表示領域22に達すると、画面有効信号発生回路7₂から供給されるイネーブル信号も“1”になり、背景よりもmado1の方が優先順位が高いので、mado1のメモリ座標(X, Y)が選択される。表示走査がmado3の表示領域23に達すると、画面有効信号発生回路7₁, 7₂, 7₄から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “3”, “2”を比較して、優先順位の最も高いmado3のメモリ座標(X, Y)が選択される。表示走査がmado3の表示領域24に達すると、画面有効信号発生回路7₁, 7₄から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “2”を比較して、優先順位の最も高いmado3のメモリ座標(X, Y)を選択する。表示走査がmado2の表示領域25に達すると、画面有効信号発生回路7₁~7₃から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “3”, “1”を比較して、優先順位の最も高いmado2のメモリ座標(X, Y)が選択される。表示走査がmado3の表示領域26に達すると、画面有効信号発生回路7₁~7₄から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “3”, “1”, “2”を比較して、優先順位の最も高いmado2のメモリ座標(X, Y)が選択される。表示走査がmado3の表示領域27に達すると、画面有効信号発生回路7₁, 7₃, 7₄から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “1”, “2”を比較して、優先順位の最も高いmado2のメモリ座標(X, Y)が選択される。表示走査がmado2の表示領域28に達すると、画面有効信号発生回路7₁, 7₃から供給されるイネーブル信号が“1”になるので、それぞれの優先番号“4”, “2”を比較して、優先順位の最も高いmado2のメモリ座標(X, Y)が選択される。

【0027】この実施例によれば、ビデオメモリ1のアドレスの生成段階で優先処理を行うので、重ね合わせるmado1~mado3の数に拘らず、ビデオメモリ1のアクセスは常に1画面分にすることができる。また、mado1~mado3の表示領域を移動する場合には、スタートX座標レジスタ3₁, 3₂, …及びスタートY座標レジスタ4₁, 4₂, …に移動量分だけ増加させた値をそれぞれロードさせるだけで良い。これにより、移動するmado1~mado3をビデオメモリ1に再描

画することなく、mado1~mado3を移動させることができる。更に、mado1~mado3を後方に移動する場合には、mado1~mado3に設定する優先番号を変更するだけで、mado1~mado3をそれぞれ移動させることができる。従って、表示領域の大きい窓を移動させたり、窓を素早く移動させる場合でも一定の追従性を確保することができる。

【0028】図4は、他の実施例における表示制御装置の構成を示すブロック図である。この実施例では、画面有効信号発生回路41₁, 41₂, …が、mado1~mado3の表示有効範囲を表示座標系で記憶する。この実施例によれば、表示座標系をベースとしているので、画面有効信号発生回路に供給する表示走査座標値x, yを各画面について共通化することができ、回路の入力ラインが先の実施例よりも簡素化されるという利点がある。

【0029】図5は、更に他の実施例における表示制御装置の構成を示すブロック図である。この実施例では、アドレス生成部11が、セクタ10と、X座標加算器51及びY座標加算器52とから構成される。セクタ10は、スタートX座標レジスタ3₁, 3₂, …及びスタートY座標レジスタ4₁, 4₂, …に記憶された各画面のスタート座標値X_S, Y_Sのうち、画面優先処理回路9で決定された画面のスタート座標(X_S, Y_S)を選択する。スタート座標(X_S, Y_S)は、X座標加算器51及びY座標加算器52で表示走査に同期して表示座標(x, y)とそれぞれ加算され、メモリ座標(X, Y)として出力される。なお、この実施例では、メモリX座標カウンタ5₁, 5₂, …及びメモリY座標カウンタ6₁, 6₂, …を必要としないという利点がある。

【0030】

【発明の効果】以上述べたように、この発明によれば、画像メモリから読み出される画像データが、1画面分だけであるから、表示画面数が増えても転送データ量は全く増大しない。また、レジスタに記憶された窓領域の有効範囲を変更するだけで窓領域の移動が実現され、レジスタに記憶された窓領域の表示優先順位を変更するだけで窓領域の前後の移動が実現される。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る表示制御装置の構成を示すブロック図である。

【図2】 同装置に表示される表示画像の一例を示す図である。

【図3】 同装置のビデオメモリに格納される各画面の画像データの一例を示す図である。

【図4】 他の実施例における表示制御装置の構成を示すブロック図である。

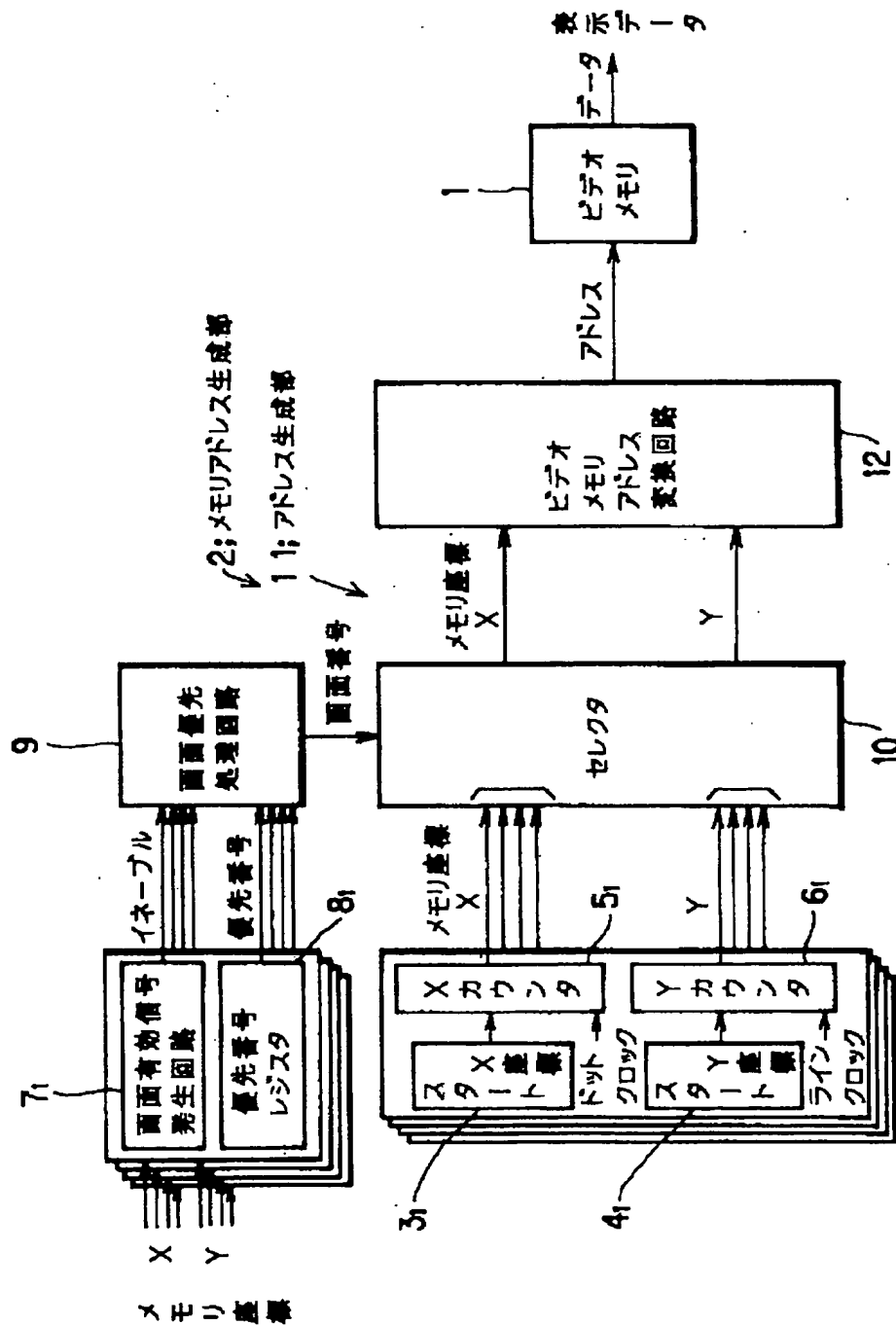
【図5】 更に他の実施例における表示制御装置の構成を示すブロック図である。

【符号の説明】

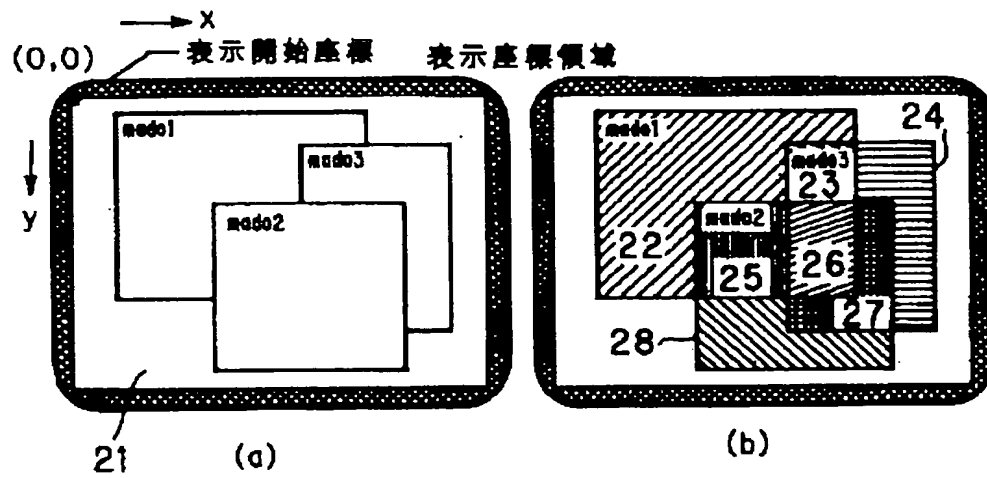
1…ビデオメモリ、2…メモリアドレス生成部、4₁…スタートX座標レジスタ、4₁…スタートY座標レジスタ、5₁…メモリX座標カウンタ、6₁…メモリY座標カウンタ、7₁、4 1₁…画面有効信号発生回路、8₁…優先番号レジスタ、9…画面優先処理回路、10…セレク

タ、11…アドレス生成部、12…ビデオメモリアドレス変換回路、21…表示画面、22～28…表示領域、31～34…画面領域、51…X座標加算器、52…Y座標加算器。

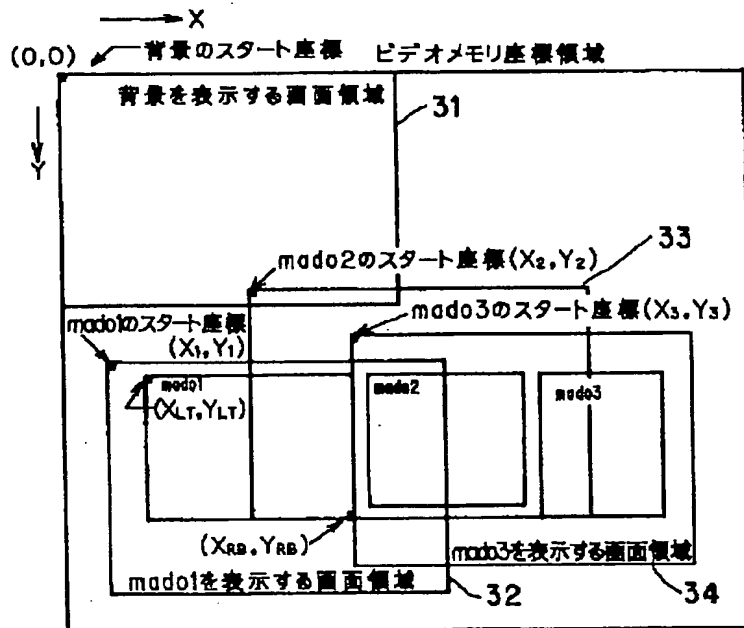
【図1】



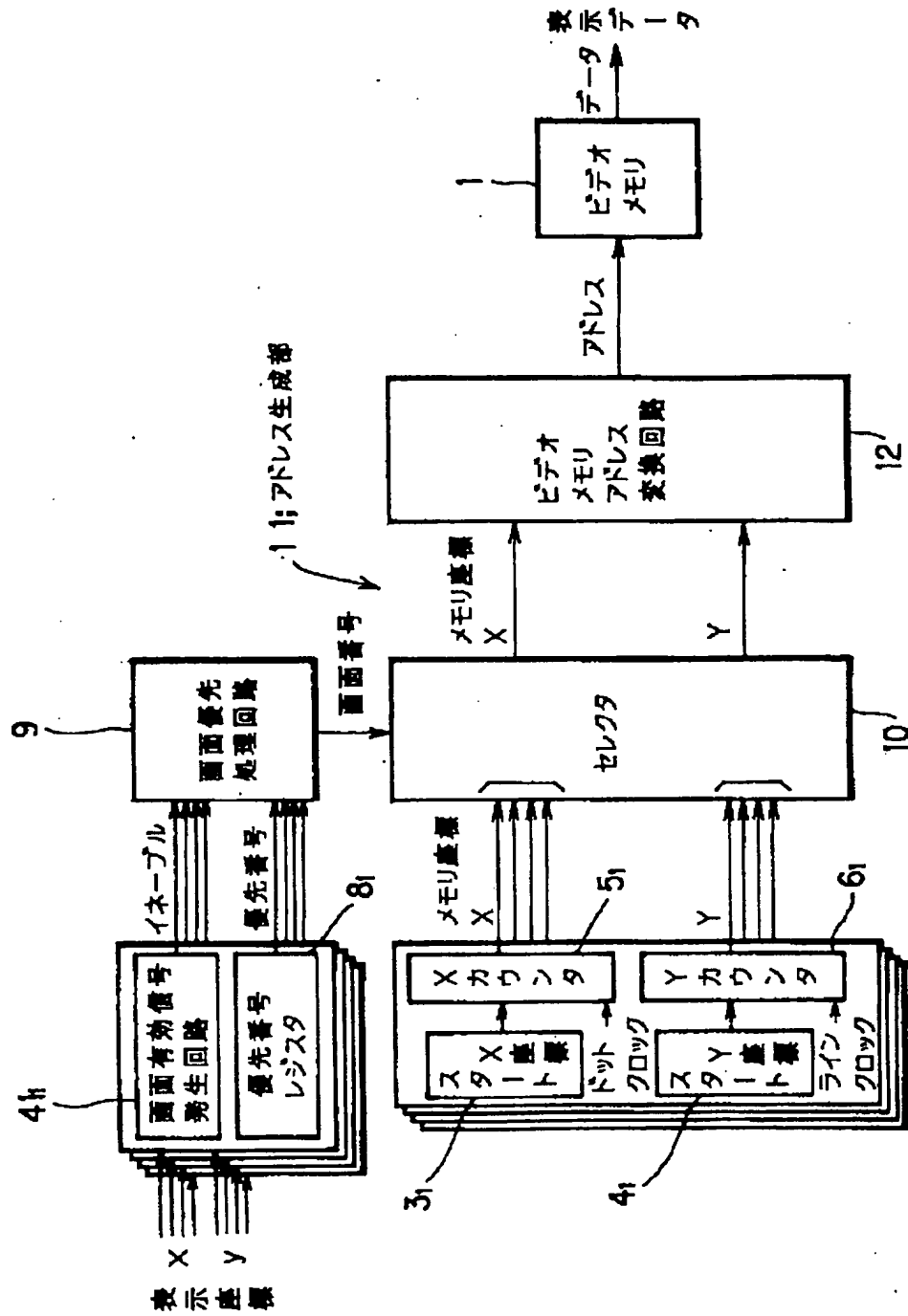
【図2】



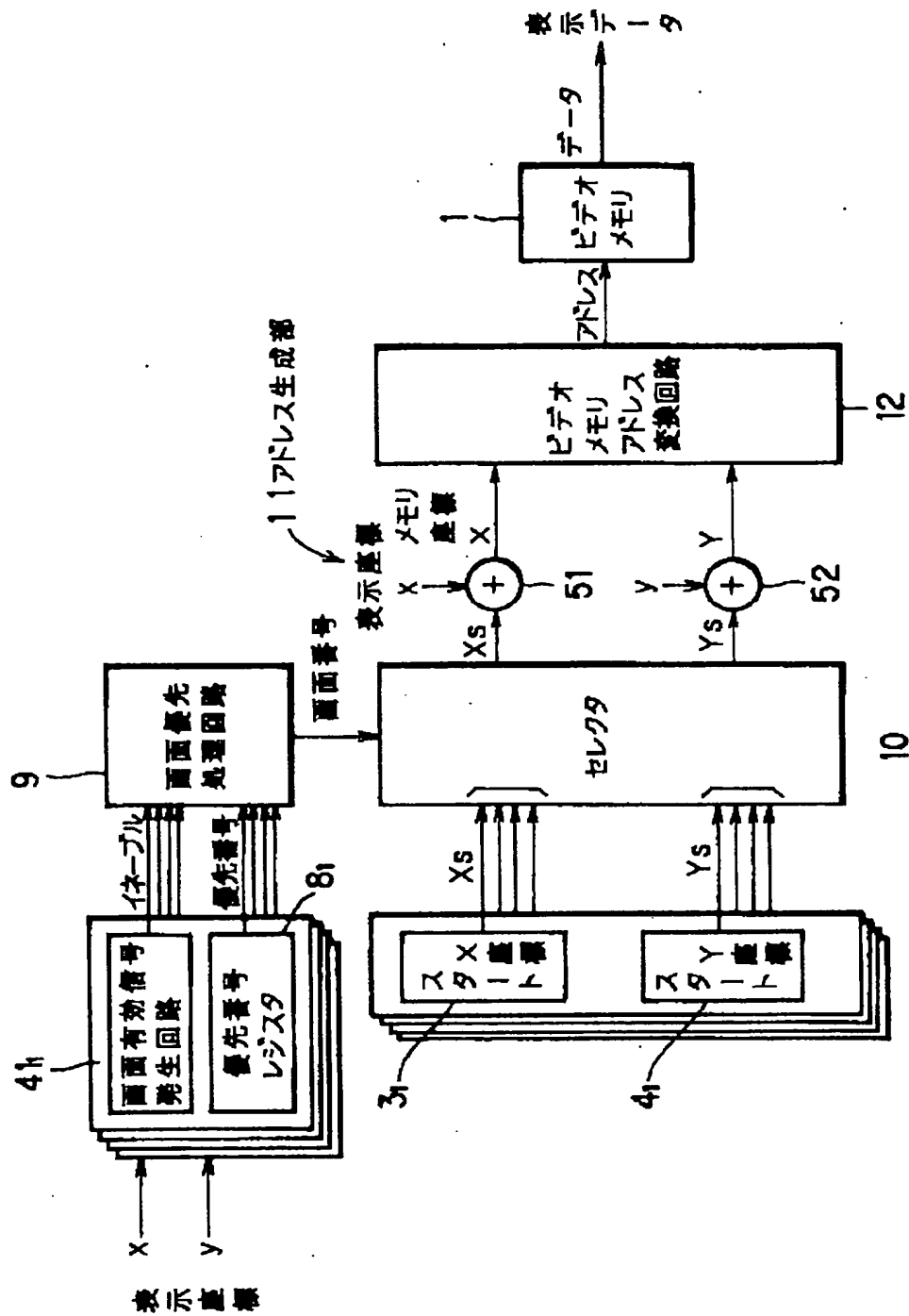
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶
H04N 1/387

識別記号 庁内整理番号

FI
H04N 1/387

技術表示箇所